

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-120081

(43)Date of publication of application : 06.05.1997

(51)Int.Cl.

G02F 1/136

(21)Application number : 07-276066

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.10.1995

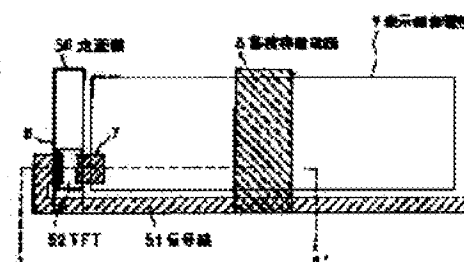
(72)Inventor : INADA KATSUHIKO

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To make the boundary lines between adjacent regions visually invisible by previously allowing liquid crystal pixels varied in the parasitic capacitance generated between electrodes constituting pixels to coexist near the boundaries of adjacent shot areas.

SOLUTION: Scanning lines 50 and signal lines 51 continuous across the respective pixels are arrayed in a matrix form and thin-film transistors (TFTs) 52 are formed in the crossing point parts thereof. These TFTsa 52 are constituted of gate electrodes integral with the scanning lines 50 and source electrodes 7 and drain electrodes 8 formed to face each other via gate insulating films and semiconductor layers thereon. The liquid crystal pixels varied in parasitic capacitance generated between the electrodes constituting the pixels are previously made to coexist near the boundary of the adjacent shot areas. Namely, the pixels varied in optical characteristics by varying the overlap areas of, for example, the gates and source of the TFTs are so arranged to coexist in these boundary regions and the luminance difference between the regions on both sides across these regions is gently varied.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-120081

(43) 公開日 平成9年(1997)5月6日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136

識別記号

5 0 0

片内整理番号

F I

G 0 2 F 1/136

5 0 0

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平7-276068

(22) 出願日 平成7年(1995)10月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 稲田 克彦

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

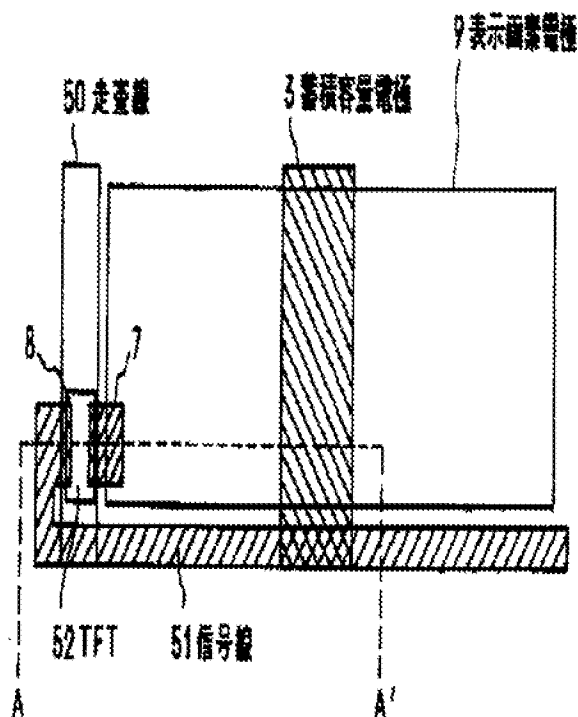
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 液晶表示装置及び液晶表示装置の製造方法

(57) 【要約】

【課題】 ステップ露光方式によりアクティブマトリクス基板を製造する際の、ショットエリア間の輝度分布を視認しめだなくする。

【解決手段】 隣接するショットエリアの境界線近傍において、液晶画素に含まれる電極間の寄生容量値を異ならせた画素を列設することにより、ショットエリア間の輝度差を緩衝化する。



#### 【特許請求の範囲】

【請求項1】 絶縁基板上に形成された複数の走査線と信号線の交点に対応して配置された表示画素電極と、前記走査線に接続されたゲート、前記信号線に接続されたドレイン、前記表示画素電極に接続されたソースおよびチャネルとして機能する半導体層を備えた薄膜トランジスタと、該絶縁基板と対向する絶縁基板上に形成された対向電極と、前記表示画素電極と前記対向電極間に挟持された液晶層から構成される複数の液晶画素を具備してなる液晶表示装置において、前記複数の液晶画素を結ぶ所定の配列線上において、前記液晶画素に含まれる電極間容量を互いに異ならしめた液晶画素を列設することを特徴とする液晶表示装置。

【請求項2】 前記電極間容量は、前記ゲートと前記ソースの重なり量を違えることにより異ならしめたことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記電極間容量は、前記走査線と前記表示画素電極との間隔を違えることにより異ならしめたことを特徴とする液晶表示装置。

【請求項4】 絶縁基板上に、導電体層もしくは誘電体層を形成し、前記導電体層もしくは誘電体層の形成領域を複数の小領域に分割して小領域毎にパターニングを行うことにより、走査線及び信号線の交点に対応した表示画素電極と、前記走査線に接続されたゲート、前記信号線に接続されたドレイン、前記表示画素電極に接続されたソース及びチャネルとして機能する半導体層を備えた薄膜トランジスタからなる単位画素を形成する液晶表示装置の製造方法において、

前記小領域が互いに隣接する境界線近傍で、列設する複数の前記単位画素に含まれる電極間容量を互いに異ならしめることを特徴とする液晶表示装置の製造方法。

【請求項5】 前記パターニングは光照射手段を用いて行われることを特徴とする請求項4記載の液晶表示装置の製造方法。

#### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】以下に、薄膜トランジスタ（Thin Film Transistor：以下TFTと略称する）をスイッチ素子として表示画素電極アレイを構成したアクティブマトリクス型液晶表示装置を例にあげて、従来の技術を説明する。

【0003】アクティブマトリクス型液晶表示装置の基本構成は、表示画素電極アレイの形成されたアレイ基板と対向電極の形成された対向基板との間隙に液晶物質を封入してなる。前記アレイ基板上には、TFT及びこれに接続された表示画素電極がマトリクス状に形成され、さらに行方向に配列された各TFTのゲートに共通に接

続された走査線、及び列方向に配列された各TFTのドレインに共通に接続された信号線、表示画素電極に絶縁層を介し相対して配置され、蓄積容量を構成する蓄積容量線等が、必要に応じて形成されている。

【0004】これらの電極群、もしくはTFT等の半導体素子は、公知の薄膜形成技術を用いて形成される。例えば、薄膜材料を基板上にスパッタリング法やCVD法などの所定の成膜方法を用いて成膜した後、この上にフォトリソストをコーティングし、これを露光することにより所定パターンに加工し、これをマスクとして前記薄膜の不要部分をエッチング除去して、所望の電極もしくは半導体素子を形成している。

【0005】ところで近年の光学素子の大容量化に伴い、大面積素子に対応する薄膜形成技術が要求されている。しかしながら製造装置の制約があつて、ひとつの工程を素子を複数領域に分けて実行する場合がある。例えば前記フォトリソストの露光に際し、露光装置の光学系の制約から、薄膜を形成した領域を複数の露光エリアに分けて、各エリア毎に露光処理（ショット露光）を行ういわゆる分割露光（ステッパ）方式が用いられている。

【0006】

【発明が解決しようとする課題】しかしながら、ステッパ方式を用いて作製されたアクティブマトリクス型液晶表示装置を実際に点灯させると、露光エリアの境界領域に「継ぎ目」が視認される場合があり、高精細度の要求されるアクティブマトリクス型液晶表示装置にとっては好ましくない不良モードとしてとらえられている。即ち、隣接する露光エリアの境界線を跨いだ透過率差が0.5%以上であると、これが各領域間の「継ぎ目」として視認されてしまうことが官能試験結果から分かっている。このような透過率差は、例えばアクティブマトリクス型液晶表示装置をステッパ露光方式を用いて作製した場合には、TFTや液晶容量を構成する各層の重ね合わせずれによって、露光エリア間でTFTの寄生容量値や液晶容量値が異なってしまうことが主因となって発生するものと考えられる。

【0007】本発明はこのような技術的背景に鑑み、大面積の液晶表示装置に高精細の表示性能を付与するために好適な液晶表示装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の液晶表示装置は、例えばステッパ露光によりアクティブマトリクス基板を作製する場合、あらかじめ隣接するショットエリアの境界近傍で、画素を構成する電極間に生じる寄生容量を異ならしめた液晶画素を混在させることを特徴とする。

【0009】即ちこの発明は、ショットむらなどの影響で光学特性の異なる画素が隣接する境界領域において、この境界領域の光学特性変化の勾配を緩衝化することに

より、境界領域を視認しめだたなくすることを基本思想としている。

【0010】このため、本発明の液晶表示装置においては、例えば薄膜トランジスタのゲートとソースの重なり面積を違えることによって光学特性を異ならしめた画素をこの境界領域に混在するように配置し、この領域を挟んだ両側の領域間の輝度差をなだらかに変化するようにすることにより、境界領域が視認しめだたなくなる。

【0011】

【発明の実施の形態】以下にこの発明の実施例をアクティブマトリクス型液晶表示装置を例にとりて詳細に説明する。図1は、この実施例によって作製されるアレイ基板の一画素の概略平面図を示し、図2は図1の線A-Aに沿った断面図を示す。即ち、各画素にわたって連続した走査線50及び信号線51がマトリクス状に配列され、その交点部分にはTFT52が形成されている。TFT52は、走査線50と一体のゲート電極2及びその上にゲート絶縁膜4、半導体層5を介して対向するように形成されたソース電極7及びドレイン電極8によって構成されている。尚、このソース電極7及びドレイン電極8と半導体層5との層間には、オーミック層6が形成されている。そしてこのソース電極7は表示画素電極9に接続され、一方ドレイン電極8は信号線51と一体的に形成されている。また、表示画素電極9の直下部には、必要に応じてゲート絶縁膜4を介して対向するように蓄積容量電極3が形成されている。

【0012】次に、アレイ基板の作製工程を説明する。ガラスなどの光透過性の絶縁基板1上にTa膜をスパッタリング法を用いて堆積し、次いでPEP法を用いて所望の形状にパターニングし、行方向に連続する走査線50、蓄積容量電極3、及び図示しない外部回路との接続のための接続端子を形成した。次いでSiO<sub>x</sub>膜、a-Si膜、n+a-Si膜を順次CVD法により堆積し、a-Si膜、n+a-Si膜をPEP法を用いて所望の形状にパターニング後、ITO膜を成膜して表示画素電極9形状にパターニングした。この後、Al膜をスパッタリング法により堆積し、PEP法によりソース電極7、ドレイン電極8及びこれと一体の信号線51を形成した。

【0013】ここで、前記各電極層及び半導体層のPEP工程は、次に示す手法で実行した。これらのPEP工程は基本的には、パターニングされる材料を薄膜形成する工程、その上全面にフォトレジストを塗布形成する工程、フォトレジストを所定のフォトマスクを用いて露光する工程、このフォトレジストをマスクとして薄膜の不要部分をウェットエッチングもしくはケミカルドライエッチングなどの公知のパターニング技術を用いて除去し、この薄膜を所望形状にパターニングする工程からなる。尚本実施例においてはポジ型のフォトレジストを用いた。

【0014】ここで、ソース電極7とゲート電極2の重なり長さ(Lov)10が、通常はアレイ基板全領域の画素にわたって等しい値となるようにフォトマスクが設計される。しかし、ステッパ方式を用いて露光処理を行う場合には、各露光エリアに用いられる複数のフォトマスク間の製造誤差や、露光装置の合わせ精度などの原因で、露光エリア間でLovの値が異なってしまう、その結果TFTの寄生容量が露光エリア間で異なる値となって画素の光学応答に差が生じ、領域の継ぎ目が視認される場合があった。

【0015】そこで本実施例においては、露光エリアの境界線に沿って、意図的にLovが画素毎に異なるようにフォトマスクを設計して、露光処理を行った。図3は露光処理を4つの領域で分割して行う際の4枚のフォトマスクの概念図を示し、図4はこのような露光処理によって製造されたアレイ基板の、ショットエリア間の境界近傍の画素の構造を示す。また図5は、図4の実線で囲む領域の拡大図を示す。本実施例においては、斜線で示した領域において、Lovを±1ミクロンの範囲でランダムに変えたマスクによって、前述したように露光処理、現像処理、エッチング処理を行い、各電極層及び半導体層のパターニングを行って、図1に示す画素を配列形成したアレイ基板を作製した。このアレイ基板においては、図4の斜線部で示す領域で、Lovの異なる画素が混在している。

【0016】このように作製されたアレイ基板を、図2に示す対向基板21と組み合わせて封着し、その間隙に液晶物質を注入して得られたアクティブマトリクス型液晶表示装置を点灯させて、評価を行った。尚、同図に示すように、対向基板21の内表面には、ITOなどの透明電極からなる対向電極22が全面に形成されており、さらに図示しないが、アレイ基板20と対向基板21の液晶と接する部分には配向膜が必要に応じて形成される。また対向基板22の表示画素電極の間隙に対向する領域には遮光層を形成してもよく、さらに表示画素電極に対向する領域にR、G、Bのカラーフィルタを形成しても良い。

【0017】このパネルを実際に目視することにより、境界線が視認できるかどうか、官能試験を行ったところ、対象者5人全員が境界線は視認できなかったという結果が得られた。さらに観察角度を変えて目視評価を行ったが、やはり境界線は視認できなかった。

【0018】尚、本実施例では、ゲートとソースの重なり面積を調整することにより、輝度分布の調整を行ったが、走査線と表示画素電極との距離を調整しても同様な効果が得られる。即ち、走査線とこれに隣接する表示画素電極との間にも寄生容量が存在し、液晶画素の光学応答はこの容量の影響を受ける。従って露光エリアの境界線近傍で、画素毎に走査線と表示画素電極との距離を調節することによって、これらの電極間の寄生容量値を異

ならしめることにより、上記実施例と同様の効果が得られた。

【0019】このように本実施例の液晶表示装置においては、ショット領域の境界線は全く視認されず、従ってきわめて良好な表示を得ることができた。また本実施例の液晶表示装置の製造方法においては、ショット領域の境界線が視認されるという不良を低減させることができ、その結果歩留まりを大幅に向上させることができた。また本実施例の製造方法は、ショット数を増加させても適用可能であり、従って表示装置の大面积化に容易に対応することが可能である。

【0020】

【発明の効果】この発明によれば、隣接する領域間の境界線を視認しにくくすることができ、またこれに好適な表示装置の製造方法を用いることによって、製造上の歩留まりを大幅に向上させることができる。

【図面の簡単な説明】

【図1】アクティブマトリクス型液晶表示装置の一画素の概略平面図を示す。

【図2】図1の線AA'に沿った断面図を示す。

【図3】本発明の一実施例における液晶表示装置の製造に用いられるフォトマスクの概略図を示す。

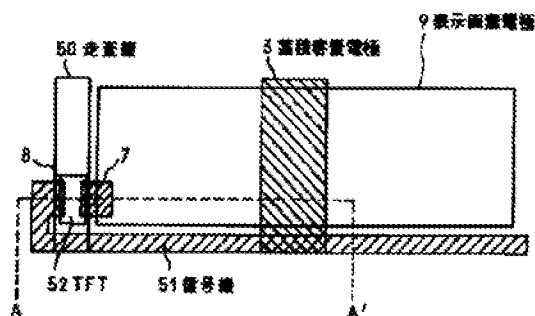
【図4】本発明の一実施例におけるアクティブマトリクス型液晶表示装置のアレイ基板の概略図を示す。

【図5】図4の要部拡大図を示す。

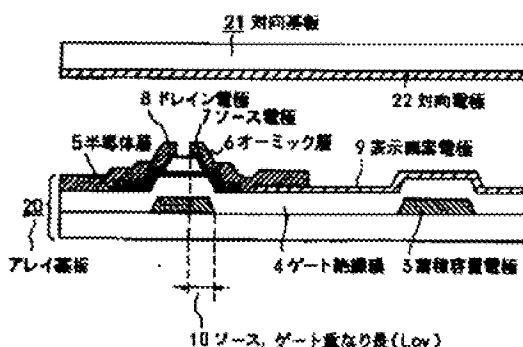
【符号の説明】

- 7…ソース
- 8…ドレイン
- 9…表示画素電極
- 50…走査線
- 52…TFT

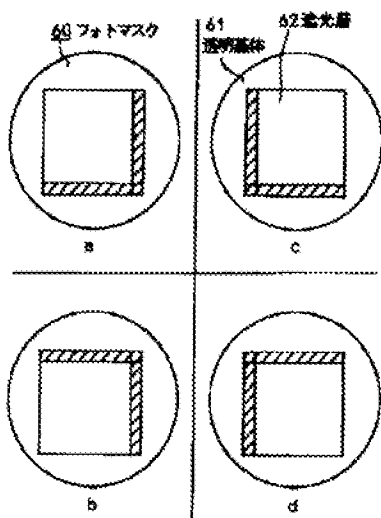
【図1】



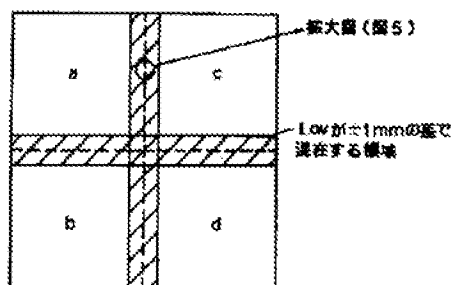
【図2】



【図3】



【図4】



【図5】

